



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07272278 A**(43) Date of publication of application: **20.10.95**

(51) Int. Cl.

G11B 7/00**G11B 20/10**(21) Application number: **06087636**(71) Applicant: **SONY CORP**(22) Date of filing: **01.04.94**(72) Inventor: **HORIGOME TOSHIHIRO**

(54) **DIGITAL DATA RECORDING METHOD, DIGITAL DATA RECORDING DEVICE, DIGITAL DATA REPRODUCING METHOD AND DIGITAL DATA REPRODUCING DEVICE**

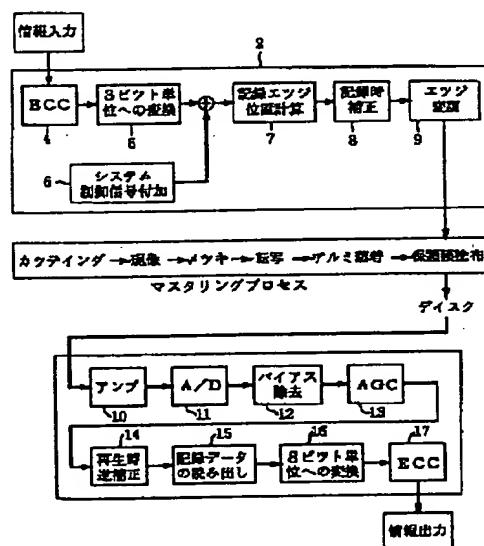
reproducing data of the disk, data is reversely converted by a reverse correction circuit 14 through an A/D converter 11 and the like in accordance with a correction characteristic at the time of recording and outputted.

(57) Abstract

PURPOSE: To reduce the read-out error rate by correcting a ticking width of an interval of each edge position generated at a leading edge and a trailing edge at the time of recording, converting inversely at the time of reproducing in accordance with correction at the time of recording, and improving recording density by utilizing dispersion of a margin at the time of multi-valued recording.

CONSTITUTION: An error correcting code is added to digital data inputted to an encoder section 2 by an ECC circuit 4, and converted to data of 3 bits unit by a conversion circuit 5. A system control signal is inserted from an addition circuit 6 every time when the data is sent out with time division and sent out to a calculating circuit 7, data of 3 bits unit is assigned to edge positions of each eight steps of a leading edge and a trailing edge, recording position data is outputted to a correction circuit 8, and an edge position is corrected based on a bit length. The information is converted to an analog signal by a modulation circuit 9 and outputted. A cutting machine manufactures a disk based on this data. At the time of

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-272278

(43)公開日 平成7年(1995)10月20日

(51)IntCl.*	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 7/00	Q	9464-5D		
20/10	3 4 1 Z	9463-5D		

審査請求 未請求 請求項の数12 F D (全 14 頁)

(21)出願番号 特願平6-87636

(22)出願日 平成6年(1994)4月1日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 堀籠 俊宏

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 デジタルデータ記録方法、デジタルデータ記録装置、デジタルデータ再生方法及びデジタルデータ再生装置

(57)【要約】

【目的】本発明は、デジタルデータ記録方法、デジタルデータ記録装置、デジタルデータ再生方法及びデジタルデータ再生装置について、多値記録時のマージンのばらつきを有効に活用して記録密度を向上させると同時に再生時の読出しの誤り率を低下させる。

【構成】ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録する際に、立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅を補正し、再生時には記録時に行った補正の特性に応じて逆変換する。これにより、多値記録時のマージンのばらつきを有効に活用することができるので、高密度記録を実現し得ると共に再生時の読出しの誤り率を低下させることができる。

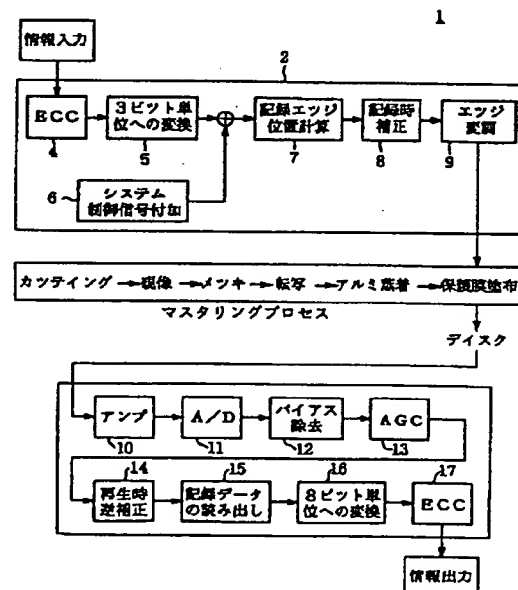


図1 全体構成

【特許請求の範囲】

【請求項 1】 ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録するデジタルデータ記録方法において、

上記デジタルデータを、変調すべき上記刻み数を表すビット数に変換し、

当該刻み数に応じたビット数で表されるデジタルデータを、上記変調されて上記立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置に割り当て、上記立上がりエッジ及び又は上記立下がりエッジに生成された上記各エッジ位置間の刻み幅を補正することを特徴とするデジタルデータ記録方法。

【請求項 2】 上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅は、上記立上がりエッジ及び又は立下がりエッジの上記各エッジ位置によつて規定されるビットのうち最長ビット及び最短ビットの長さ及び位置を変えずに、上記立上がりエッジ及び又は立下がりエッジの上記各エッジ位置によつて規定されるビットの長さが短くなるに従つて大きくなるように非線形的に補正されることを特徴とする請求項 1 に記載のデジタルデータ記録方法。

【請求項 3】 上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅は、上記各エッジ位置が生成された上記立上がりエッジ及び又は立下がりエッジにおいて、上記各エッジ位置のうち最長ビット及び最短ビットを規定するエッジ位置間の長さ及び位置を変えずに、上記各エッジ位置が生成された上記立上がりエッジ及び又は立下がりエッジの各エッジ位置によつて規定されるビットの長さが短くなるに従つて大きくなるように非線形的に補正されることを特徴とする請求項 1 に記載のデジタルデータ記録方法。

【請求項 4】 上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅は、2 次関数で補正されることを特徴とする請求項 2 又は請求項 3 に記載のデジタルデータ記録方法。

【請求項 5】 ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録するデジタルデータ記録装置において、

上記デジタルデータを、変調すべき上記刻み数を表すビット数に変換するデータ変換手段と、

当該刻み数に応じたビット数で表されるデジタルデータを、上記変調されて上記立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置に割り当てるエッジ位置計算手段と、

上記立上がりエッジ及び又は上記立下がりエッジに生成された上記各エッジ位置間の刻み幅を補正する補正手段とを具備することを特徴とするデジタルデータ記録装置。

【請求項 6】 上記補正手段は、上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅を、上記立上がりエッジ及び又は立下がりエッジの上記各エッジ位置によつて規定されるビットのうち最長ビット及び最短ビットの長さ及び位置を変えずに、上記立上がりエッジ及び又は立下がりエッジの上記各エッジ位置によつて規定されるビットの長さが短くなるに従つて大きくなるように非線形的に補正することを特徴とする請求項 5 に記載のデジタルデータ記録装置。

10 【請求項 7】 上記補正手段は、上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅を、上記各エッジ位置が生成された上記立上がりエッジ及び又は立下がりエッジにおいて、上記各エッジ位置のうち最長ビット及び最短ビットを規定するエッジ位置間の長さ及び位置を変えずに、上記各エッジ位置が生成された上記立上がりエッジ及び又は立下がりエッジの各エッジ位置によつて規定されるビットの長さが大きくなるように非線形的に補正することを特徴とする請求項 5 に記載のデジタルデータ記録装置。

20 【請求項 8】 上記補正手段は、上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅を 2 次関数で補正することを特徴とする請求項 6 又は請求項 7 に記載のデジタルデータ記録装置。

【請求項 9】 所定の刻み幅及び刻み数で変調されたビットの立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅が補正されてデジタルデータが記録されたディスク状記録媒体を再生するデジタルデータ再生方法において、

30 記録時に補正された上記刻み幅を逆補正してから再生するようにしたことを特徴とするデジタルデータ再生方法。

【請求項 10】 上記各エッジ位置間の刻み幅の補正が 2 次関数で補正されている場合には、2 次関数の特性に応じて逆補正するようにしたことを特徴とする請求項 9 に記載のデジタルデータ再生方法。

【請求項 11】 所定の刻み幅及び刻み数で変調されたビットの立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅が補正されてデジタルデータが記録されたディスク状記録媒体を再生するデジタルデータ再生装置において、

40 記録時に補正された上記刻み幅を逆補正する逆補正手段を具備することを特徴とするデジタルデータ再生装置。

【請求項 12】 上記各エッジ位置間の刻み幅の補正が 2 次関数で補正されている場合には、上記逆補正手段は上記 2 次関数の特性に応じて逆補正することを特徴とする請求項 11 に記載のデジタルデータ再生装置。

【発明の詳細な説明】

【0001】

【目次】 以下の順序で本発明を説明する。

50 産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段(図2、図6、図8、図13)

作用

実施例

(1) 全体構成(図1)

(2) 第1実施例(図2~図6)

(3) 第2実施例(図7~図13)

発明の効果

【0002】

【産業上の利用分野】本発明はデジタルデータ記録方法、デジタルデータ記録装置、デジタルデータ再生方法及びデジタルデータ再生装置に関し、例えばビットの立上がりエッジ及び又は立下がりエッジを記録情報に対応して所定の基準位置からステップ状にシフトしてデジタル情報を記録する際に適用し得る。

【0003】

【従来の技術】従来、光ディスクにおいて、ビットの立上がりエッジ及び又は立下がりエッジを変調することによりデジタル情報を記録するものがある。この場合情報を高密度に記録するために、ビットのエッジ位置を微小に変調させると、出力される電気信号は時間的に非常に短くなり、情報を読み出すことが困難になる。ここで、ビットの立上がりエッジ及び又は立下がりエッジの位置を記録情報に対応して所定の基準位置からステップ状にシフトして、デジタル情報を記録する方法がある(特願平3-167585号)。すなわちビットのエッジ位置を微小に変化させることにより多値記録を実現するものであり、このような記録方法によれば、ビット長及びビットエッジの位置の変化を非常に高い精度で検出することができるので、微小な変化で情報を記録することができ、一段と高密度に情報を記録することができる。

【0004】

【発明が解決しようとする課題】ところでこのような記録方法でさらにディスクの記録密度を高めるためにはビットを小さく成形する必要がある。ところがビット成形を小さくしていくに従って、マスタリング等のディスク製作工程の条件で、マージンに余裕がなくなる。また上述のような記録方法ではビットのエッジ位置で変調しているため、1つのビットを全体的に小さくしても、その1つのビット中に形成される各ビットの大きさは異なる。すなわち上述の記録方法では、例えば片方のエッジを8段階(最外側のエッジ位置を7、最内側のエッジ位置を0とする)に変化させているので、各ビットの大きさはそれぞれ異なる。

【0005】従って1つのビット自体を小さくしていくに従って、これらのビットのうち小さいビットは実体が大きくなり、比較的大きいビットに関しては実体はそれ

ほど大きくなりマージンに余裕があるという現象が発生する。このような現象はマスタリングの限界近くになると発生する。従ってビット7をビット6と読み間違える確率と、ビット1をビット0と読み間違える確率は必ずしも同じではない。すなわちビットが短い場合にはエラーレートが高く、ビットが長いほどエラーレートは低いと考えられる。このような場合従来においては、読み誤る確率が最も高い部分がシステムに要求される誤り率より低くなるまで、記録密度を下げなければならなかった。すなわち高密度記録と低誤り率を両立することができないという問題があった。

【0006】本発明は以上の点を考慮してなされたもので、多値記録時のマージンのばらつきを有効に活用して記録密度を向上させると同時に、再生時の読出しの誤り率を低下させるデジタルデータ記録方法、デジタルデータ記録装置、デジタルデータ再生方法及びデジタルデータ再生装置を提案しようとするものである。

【0007】

【課題を解決するための手段】かかる課題を解決するため本発明においては、ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録するデジタルデータ記録方法において、デジタルデータを、変調すべき刻み数を表すビット数に変換し、当該刻み数に応じたビット数で表されるデジタルデータを、変調されて立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置に割り当て、立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅を補正するようにした。

【0008】また本発明においては、ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録するデジタルデータ記録装置(20、40)において、デジタルデータを、変調すべき刻み数を表すビット数に変換するデータ変換手段(5)と、当該刻み数に応じたビット数で表されるデジタルデータを、変調されて立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置に割り当てるエッジ位置計算手段(7A、7B)と、立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅を補正する補正手段(8、8A、8B)とを設けるようにした。

【0009】また本発明においては、所定の刻み幅及び刻み数で変調されたビットの立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅が補正されてデジタルデータが記録されたディスク状記録媒体を再生するデジタルデータ再生方法において、記録時に補正された刻み幅を逆補正してから再生するようにした。

【0010】また本発明においては、所定の刻み幅及び

刻み数で変調されたビットの立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅が補正されてデジタルデータが記録されたディスク状記録媒体を再生するデジタルデータ再生装置(30、50)において、記録時に補正された刻み幅を逆補正する逆補正手段(14、14A、14B)を設けるようにした。

【0011】

【作用】ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録する際に、立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅を補正し、再生時には記録時に行った補正の特性に応じて逆変換する。これにより、多値記録時のマージンのばらつきを有効に活用することができるので、高密度記録を実現し得ると共に再生時の読出しの誤り率を低下させることができる。

【0012】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0013】(1) 全体構成

図1において、1は全体として本発明によるデジタルデータ記録方法によりデジタルデータを記録して光磁気ディスクを製造し、当該光磁気ディスクを再生するまでの全体の系を示す全体構成を示す。エンコード部2は誤り訂正符号化回路(error correcting code、ECC回路)4、3ビット単位変換回路5、シテム制御信号付加回路6、記録エッジ位置計算回路7、記録時補正回路8及びエッジ変調回路9より構成されている。またデコード部3はアンプ10、アナログデジタル変換器(A/D変換器)11、バイアス除去回路12、自動利得制御回路(automatic gain control、AGC回路)13、再生時逆補正回路14、データ読出し回路15、8ビット単位変換回路16及び誤り訂正符号化回路(ECC回路)17より構成されている。

【0014】エンコード部2に入力された8ビット単位のデジタルデータはECC回路4で誤り訂正符号が付され、3ビット単位変換回路5で3ビット単位毎のデータに変換される。3ビット単位に変換されたデータは3ビット単位変換回路5より時分割で送出され、各データが送出される毎に、ROM(read only memory)でなるシステム制御信号付加回路6よりシステム制御信号が挿入されて記録エッジ位置計算回路7に送出される。記録エッジ位置計算回路7では、この3ビット単位のデータを、立上がりエッジ及び立下がりエッジのそれぞれに等間隔に配置された8段階のエッジ位置に割り当て、ビットのエッジ位置を表す8ビットの記録位置データが記録時補正回路8に出力される。

【0015】記録時補正回路8では、第1実施例の場合、ビットの立上がりエッジ及び立下がりエッジの双方

を考慮してビットの長さを基準にエッジ位置を補正する。すなわちビットの長さが短くなるに従ってエッジ位置間の刻み幅を拡大するように補正してエッジ位置を決める。また第2実施例の場合には、それぞれ立上がりエッジ及び立下がりエッジの片方のエッジ位置の値からそのエッジ毎の補正量を決めてエッジ位置を決める。このようにして補正された8ビットの記録位置情報はエッジ変調回路9でアナログ信号に変換された後、カツテイングマシン(図示せず)に送出される。

【0016】カツテイングマシンではこのデータに基づいてディスクのマスク盤にビットを成形し、図1に示すように現像、めつき、転写、アルミニウム蒸着及び保護膜の塗布のマスタリングプロセスを経てディスクが製造される。

【0017】このようにして製造されたディスクを再生する際には、当該ディスクより得られるアナログ再生信号をデコード部3のアンプ10で増幅してA/D変換器11でデジタル信号に変換した後、バイアス除去回路12でバイアスを除去し、AGC回路13で出力がほぼ一定となるように利得が制御される。AGC回路13より出力されたデジタルのRF信号は立上がりエッジのデータ及び立下がりエッジのデータに分けられて再生時逆補正回路14に入力する。

【0018】再生時逆補正回路14では、第1の実施例及び第2の実施例のいずれの場合でも、記録時にかけた補正の特性に応じて逆変換を行い、8ビットの記録位置データをデータ読出し回路15に出力する。データ読出し回路15ではそれぞれのデータが8段階のエッジのどれに当たるかを判断して3ビット単位のデータに変換し、3ビット単位に変換されたデータは8ビット単位変換回路16で8ビット単位のデータに変換された後、ECC回路17で誤り訂正が行われて情報データとして出力される。

【0019】(2) 第1実施例

図1との対応部分に同一符号を付して示す図2において、20は全体として本発明の第1実施例によるエンコード部を示す。この第1実施例においては、図2に示すように、記録エッジ位置計算回路7は立上がりエッジ位置計算回路7A及び立下がりエッジ位置計算回路7Bであり、それぞれROMで構成されている。各エッジ位置計算回路7A及び7Bに入力した3ビット単位のデジタルデータは8段階のエッジ位置に割り当てられる。ここでビットのエッジ位置は8ビットで表され、この段階では0~225の256種類の数字のうち8種類の数字だけが現れる。立上がりエッジ位置計算回路7A及び立下がりエッジ位置計算回路7Bより出力される8ビットの記録位置データは記録時補正回路8に入力される。

【0020】記録時補正回路8は8ビット64kワードの容量を有するROMで構成され、立上がりエッジ及び立下がりエッジの各エッジ位置を、各エッジ位置によつて

規定される最長ビット及び最短ビットの位置及び長さが変わらなように補正する。この補正の内容を以下に説明する。まずビットの空間的な座標を図3に示す。ビットの立上がりエッジを X_i 、ビットの立下がりエッジを X_i' とする。この実施例の場合、上述のように立上がりエッジ及び立下がりエッジにそれぞれ等間隔で8段階のエッジ位置があるので $X_i = X_{i,0} \sim X_{i,7}$ 、 $X_i' = X_{i,0}' \sim X_{i,7}'$ となり、これらを図3に示すように定める。従つてビットの長さPは、立下がりエッジの位置 X_i' から立上がりエッジの位置 X_i を引くことにより算出することが*

$$X_i' = X_i + A(P_{i,7} - P)^2 \quad \dots\dots (1)$$

【数2】

$$X_i' = X_i - A(P_{i,7} - P)^2 \quad \dots\dots (2)$$

【数3】

$$P = X_i - X_i' \quad \dots\dots (3)$$

【0022】ここで $P_{i,7}$ は立下がりエッジが $X_{i,7}$ で立上がりエッジが $X_{i,7}$ の最長のビットである。(1)式は、ビットPの立上がりエッジに関して、最長ビット $P_{i,7}$ の長さ対象となるビットPの長さとの差分を求め、求められた値の2乗に比例した値に係数Aを乗じた値が補正量となり、この値をビットPの立上がりエッジの値 X_i に加えた値が補正後のビットPの立上がりエッジの値 X_i' であることを表している。同様に(2)式は、ビットPの立下がりエッジ位置に関して、最長ビット $P_{i,7}$ の長さ対象となるビットPの長さとの差分を求め、求められた値の2乗に比例した値に係数Aを乗じた値が補正量となり、*

$$Y_i = X_i' - B(P_{i,7} - P') \quad \dots\dots (4)$$

【数5】

$$Y_i = X_i' + B(P_{i,7} - P') \quad \dots\dots (5)$$

【0024】ここで Y_i 及び Y_i' は(1)式及び(2)式で変換した値をさらに変換した後のビットPの立上がりエッジのエッジ位置及び立下がりエッジのエッジ位置を表し、記録時補正回路8より出力されるデータである。 P' は(1)式及び(2)式で変換した後のビットPの長さ、すなわち(1)式及び(2)式で変換した後のビットPの立下がりエッジ位置 X_i' 及び立上がりエッジ位置 X_i より得られるビットPの長さを表す。従つて(4)式は、最長ビット $P_{i,7}$ と変換後のビットPの長さ P' との差分を求め、求められた値に係数Bを乗じた値を(1)式で求めたビットPの変換後の立上がりエ

$$B = \frac{A(P_{i,7} - P_{0,0})}{1 + 2A(P_{i,7} - P_{0,0})} \quad \dots\dots (6)$$

【0026】(1)式、(2)式、(3)式及び(6)式を(4)式及び(5)式に代入することにより、次式

*できる。すなわち $P_{i,0} = X_{i,0} - X_{i,0}'$ で表すことができ、各ビットの関係は図4に示すようになる。

【0021】ここで説明を簡単化するために、ビットの短さに比例してビット成形のばらつきが大きくなると仮定すると、エッジ位置の補正量はビットの短さの2乗に比例すると考えられる。ここで対象となるビットをPとすると、このような補正は次式(1)、(2)及び(3)式によつて行うことができる。

【数1】

※この値をビットPの立下がりエッジの値 X_i' から減じた値が補正後のビットPの立下がりエッジの値 X_i' であることを表している。

【0023】ところが上述の(1)式及び(2)式では、最長ビット $P_{i,7}$ を基準にしているので最長ビット $P_{i,7}$ の位置及び長さは変わらないが、最短ビット $P_{0,0}$ は一段と小さくなつてしまう。そこで(1)、(2)及び(3)式で変換した値をさらに次式(4)及び(5)で変換する。

【数4】

30★ツジの値 X_i' から減じた値が再変換後のビットPの立上がりエッジの値 Y_i であることを表している。

【0025】同様に(5)式は、最長ビット $P_{i,7}$ と変換後のビットPの長さ P' との差分を求め、求められた値に係数Bを乗じた値に、(2)式で求めたビットPの変換後の立下がりエッジの値 X_i' を加えた値が再変換後のビットPの立下がりエッジの値 Y_i であることを表している。ここで最短ビット $P_{0,0}$ の位置及び長さが変わらなように係数Bを選択すると、係数Bは次式(6)によつて表される。

【数6】

(7)及び(8)を得ることができる。

【数7】

$$\begin{aligned}
 Y_i &= X_i + A(P_{11} - P) \\
 &\quad - \frac{A(P_{11} - P_{00})}{1 + 2A(P_{11} - P_{00})} (P_{11} - P + 2A(P_{11} - P)^2) \\
 &\quad \dots\dots (7)
 \end{aligned}$$

【数8】

$$\begin{aligned}
 Y_i &= X_i - A(P_{11} - P) \\
 &\quad + \frac{A(P_{11} - P_{00})}{1 + 2A(P_{11} - P_{00})} (P_{11} - P + 2A(P_{11} - P)^2) \\
 &\quad \dots\dots (8)
 \end{aligned}$$

この(7)式及び(8)式は変換全体を表す式であり、記録時補正回路8のROMに格納されている。

【0027】このように(7)式及び(8)式で変換した後の各ビットの位置をプロットすると図5に示すように表される。すなわち図5から理解できるように、第1実施例においては、例えば、ビット(X_{00} , X_{00})とビット(X_{11} , X_{11})との間は大きく変調させ、ビット(X_{00} , X_{00})とビット(X_{11} , X_{11})との間は少しだけ変調させるというように、各ビットの長さに応じて変調量を変えている。従つて各ビット間の間隔は等間隔ではなく、各エッジ位置によつて規定されるビットが長くなればなるほどビット間の間隔は狭くなり、短くなればなるほどビット間の間隔は広くなる。これによりマージンのばらつきを有効に活用することができる。

【0028】上述の方法によりエッジが変調されたディスクを再生する場合について、以下に説明する。図1と*

$$Y_i = B_i - AY_i'$$

【数10】

$$Y_i = B_i + AY_i'$$

ここで座標のとりかたは、ハードの構成によるもので、座標のとりかたはどちらからとつてもよい。

【0030】こうして得られた Y_i 及び Y_i' について、※

$$X_i = Y_i - A(P_{11} - P)$$

$$\begin{aligned}
 &\quad + \frac{A(P_{11} - P_{00})}{1 + 2A(P_{11} - P_{00})} (P_{11} - P + 2A(P_{11} - P)^2) \\
 &\quad \dots\dots (11)
 \end{aligned}$$

【数12】

$$X_i = Y_i + A(P_{11} - P)$$

$$\begin{aligned}
 &\quad - \frac{A(P_{11} - P_{00})}{1 + 2A(P_{11} - P_{00})} (P_{11} - P + 2A(P_{11} - P)^2) \\
 &\quad \dots\dots (12)
 \end{aligned}$$

(11)式及び(12)式に(9)式及び(10)式を代入すると、次式(13)及び(14)が得られる。

*の対応部分に同一符号を付して示す図6において、30は全体として本発明の第1実施例によるデコーダ部を示す。図6に示すように、AGC回路13より出力されたデジタルのRF信号は、立上がりラッチ回路18A及び立下がりラッチ回路18Bで立上がりエッジのデータ及び立下がりエッジのデータとに分けられてラッチされ、それぞれ再生時逆補正回路14に入力する。

【0029】再生時逆補正回路14は記録時にかけた補正の特性に応じた逆変換を行うためのマップを格納するROMで構成されている。この再生時逆補正回路14に入力する入力信号を図7に示し、これは、図3の記録時補正を行うROMの出力信号と座標のとり方が異なる。従つて逆変換を計算するには、まず再生時逆補正回路14に入力する入力信号の座標を変換する必要がある。これは次式(9)及び(10)によつて行われる。

【数9】

$$\dots\dots (9)$$

$$\dots\dots (10)$$

※(7)式及び(8)式を逆変換する。逆変換は次式(11)及び(12)によつて表される。

【数11】

【数13】

$$\begin{aligned}
 X_r &= B_r - AY' - A(P_{rr} - P) \\
 &+ \frac{A(P_{rr} - P_{00})}{1 + 2A(P_{rr} - P_{00})} [P_{rr} - P + 2A(P_{rr} - P)^2]
 \end{aligned}$$

..... (13)

【数14】

$$\begin{aligned}
 X_r &= B_r + AY' + A(P_{rr} - P) \\
 &- \frac{A(P_{rr} - P_{00})}{1 + 2A(P_{rr} - P_{00})} [P_{rr} - P + 2A(P_{rr} - P)^2]
 \end{aligned}$$

..... (14)

この(13)式及び(14)式で表されるマップが再生時逆補正回路14のROMに格納されている。逆変換後、RF信号は3ビット単位変換回路15A及び15Bに出力され、3ビット単位変換回路15A及び15Bでは各データが8段階のエッジ位置のどのエッジ位置に該当するかを判断して3ビット単位に変換した後、8ビット単位変換回路16に信号を出力する。

【0031】以上の構成によれば、立上がりエッジ及び立下がりエッジの各エッジ位置によつて規定される最短ビット及び最長ビットの位置及び長さを変えずに、各エッジ位置によつて規定されるビットの長さが短くなればなるほど隣接するビットとの間隔が広くなるように各エッジ位置間の刻み幅を2次関数で補正しているの、マージンのばらつきを有効に活用することができる。すなわち第1実施例の場合、エッジ位置によつて規定されるビットの長さが短くなるに従つてエッジ位置間の刻み幅が大きくなるように補正し、再生時には記録時にかけた補正の特性に応じた逆変換を行つたことにより、マージンのばらつきを有効に活用できるので、高密度記録及び低誤り率を両立させることができる。

【0032】(3)第2実施例
図2との対応部分に同一符号を付して示す図8において、40は全体として本発明の第2実施例によるエンコ*

$$Y = AX^2 + BX + C$$

..... (15)

【0035】この(15)式において定数A、B及びCを以下のように決定する。すなわちまずビットに生成されたエッジ位置 $X_0 \sim X_r$ のうち、最短ビットと最長ビットを規定するエッジ位置 X_0 及び X_r 間の長さ及び位置※

$$Y_r = AX_r^2 + BX_r + C = X_r$$

..... (16)

【数17】

$$Y_0 = AX_0^2 + BX_0 + C = X_0$$

..... (17)

ここで Y_r は補正後の最長ビットの値、 Y_0 は補正後の最短ビットの値である。この(16)式及び(17)式よ

$$B = 1 - A(X_r + X_0)$$

..... (18)

【数19】

$$C = AX_r X_0$$

..... (19)

【0036】この(18)式及び(19)式を(15)式に代入すると、次式(20)を得ることができる。

*一ダ部を示し、記録時補正回路8は立上がりエッジ位置補正回路8A及び立下がりエッジ位置補正回路8Bより構成されている。各補正回路8A及び8BにはROMが設置されており、その容量は8ビット256ワードと第1実施例の記録時補正回路8に比してROMの容量が小さい。

20 【0033】第1実施例では、ビットの両端のエッジの値から記録時補正量を決めていたが、第2実施例では、片側のエッジの値からそのエッジ位置毎の補正量を定める。このため、補正量の計算に必要なROMの容量が上述のように第1実施例より小さい。以下では立下がりエッジに生成されたエッジ位置の補正について説明する。

【0034】図9に示すように、立下がりエッジ位置補正回路8Bには、エッジ位置計算回路7Bより出力される8ビットのデータXが入力され、当該計算回路7Bから8ビットのデータYが出力される。この場合Xのとり得る数字は図10に示すように0～255の数字のうち8つの数字だけであり、これらの8つの数字は等差数列になっており、ビットの立下がりエッジの位置を表している。ここで入力データXと出力データYとは1対1に対応しており、その関係は次式(15)で表される。

【数15】

※が補正によつて変わらないように、次式(16)及び(17)の条件を与える。

40 【数16】

★り、次式(18)及び(19)を得ることができる。

【数18】

【数 2 0】

$$Y = AX' + \{1 - A(X_1 + X_0)\} X + AX_1 X_0 \quad \dots\dots (20)$$

この (20) 式を X で微分して次式 (21) を得る。 * * 【数 2 1】

$$Y' = 2AX + \{1 - A(X_1 + X_0)\} = 2A\left(X - \frac{X_1 + X_0}{2}\right) + 1 \quad \dots\dots (21)$$

$X_0 < X < X_1$ で Y は X に対して単調増加なので、この * となる。

$X_0 < X < X_1$ の区間で $Y' > 0$ 、すなわち次式 (22) * 10 【数 2 2】

$$A < \frac{1}{X_1 - X_0} \quad \dots\dots (22)$$

【0037】ビットが長くなるに従ってエッジの変化幅が小さくなるようにするには、 $X_0 < X < X_1$ で $Y' < 0$ 、すなわち次式 (23) を満たす定数 A を選択すれば ★

$$Y' = 2A < 0 \quad \dots\dots (23)$$

A = 0 のときは $Y = X$ となり、補正をかけることはできない。また A が負の方向に大きくなればなるほど補正がきつくかかることになる。すなわち X_1 及び X_0 の位置関係が図 11 に示すように表されているとき、 X_1 及び X_0 を (15) 式で変換した後の値 Y_1 及び Y_0 の位置関係は図 12 に示すように表される。このようにして入力データ X に補正をかけて得られる出力データ Y は図 8 に示すように、エッジ変調回路 9 に出力される。

【0038】一方、再生時には記録時と逆の変換を行う。図 6 との対応部分に同一符号を付して示す図 13 に ☆

$$X = \frac{-B - \sqrt{B^2 - 4A(C - Y)}}{2A} \quad \dots\dots (24)$$

(24) 式において、B 及び C はそれぞれ (18) 及び (19) 式で表すことができる。この (24) 式で表されるマップを立下がりエッジ位置逆補正回路 14 B の ROM に格納する。以上、立上がりエッジのエッジ位置の補正について述べたが、立上がりエッジのエッジ位置の補正についても、上述のように行う。

【0039】以上の構成によれば、片方のエッジが $X_0 \sim X_1$ まで変化するとき、これらのエッジ位置 $X_0 \sim X_1$ のうち最短ビット及び最長ビットを規定するエッジ位置 X_0 及び X_1 の位置と X_0 及び X_1 間の長さを変えずに、これらのエッジ位置 $X_0 \sim X_1$ が規定するビットの長さが短くなればなるほど隣接するビットとの間隔が広くなるように各エッジ位置間の刻み幅を 2 次関数で補正しているので、マージンのばらつきを有効に活用することができる。すなわち第 2 実施例の場合、立上がりエッジ及び立下がりエッジ毎に、各エッジの値からそのエッジ位置毎の補正量を決めて補正し、再生時には記録時にかけた補正の特性に応じて逆変換を行つたことにより、マージンのばらつきを有効に活用できるので、高密度記録及び低誤り率を両立させることができる。

★い。

【数 2 3】

☆ おいて、50 は全体として本発明の第 2 実施例によるデコード部を示し、再生時逆補正回路 14 は立上がりエッジ位置逆補正回路 14 A 及び立下がりエッジ位置逆補正回路 14 B であり、それぞれ ROM で構成されている。立下がりエッジ位置逆補正回路 14 B では、記録時と逆の変換が行われる。すなわち逆変換を求めるには、(15) 式を X について書き直せばよい。すなわち逆変換を表す式は次式 (24) で表すことができる。

【数 2 4】

【0040】また上述の構成によれば、立上がりエッジ及び立下がりエッジ毎に、それぞれのエッジ位置毎の補正量を決めているので、立下がりエッジ位置補正回路 8 A 及び 8 B の ROM の容量を第 1 実施例の記録時補正回路 8 に比して小さくすることができる。

【0041】なお上述の実施例においては、立上がりエッジ及び立下がりエッジの双方が変調されている場合について述べたが、本発明はこれに限らず立上がりエッジ又は立下がりエッジのいずれか一方だけが変調されている場合にも適用し得る。

【0042】また上述の実施例においては、再生時に、記録時にかけた補正の特性に応じて逆変換した場合について述べたが、本発明はこれに限らず、記録時にかけた補正を逆変換せずに 3 ビット単位変換回路 15 A 及び 15 B に RF 信号を送出するようにしてもよい。

【0043】また上述の実施例においては、3 ビットでデジタルデータを記録した場合について述べたが、本発明はこれに限らず、4 ビット以上の多値で記録するようにしてもよい。

50 【0044】また上述の実施例においては、各ビットを

2次関数で補正した場合について述べたが、本発明はこれに限らず、各エッジ位置によって規定されるビットの長さが短くなるに従つて、各エッジ位置間の刻み幅が大きくなるように非線形的に補正すれば、3次関数等で補正してもよい。

【0045】

【発明の効果】上述のように本発明によれば、ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録する際に、立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅を補正し、再生時には記録時に行つた補正の特性に応じて逆変換したことにより、多値記録時のマージンのばらつきを有効に活用することができるので、高密度記録を実現し得ると共に再生時の読出しの誤り率を低下させることができる。

【図面の簡単な説明】

【図1】本発明によるデジタルデータ記録方法によりデジタルデータを記録して光磁気ディスクを製造し、当該光磁気ディスクを再生するまでの全体の系を示すブロック図である。

【図2】本発明の第1実施例によるエンコーダ部の構成を示すブロック図である。

【図3】ビットの空間的な座標を示す略線図である。

【図4】補正前の各ビットの位置関係を示す略線図である。

【図5】補正後の各ビットの位置関係を示す略線図である。

【図6】本発明の第1実施例によるデコーダ部の構成を示すブロック図である。

【図7】逆変換時のビットの空間的な座標を示す略線図である。

* 【図8】本発明の第2実施例によるエンコーダ部の構成を示すブロック図である。

【図9】立下がりエッジ位置補正回路に入力するデータX及び補正をかけられた出力データYを示す略線図である。

【図10】立下がりエッジのエッジ位置を表す略線図である。

【図11】補正前の各ビットの位置関係を示す略線図である。

10 【図12】補正後の各ビットの位置関係を示す略線図である。

【図13】本発明の第2実施例によるデコーダ部の構成を示すブロック図である。

【符号の説明】

1……本発明によるシステムの全体構成、2、20、40……エンコーダ部、3、30、50……デコーダ部、4、17……誤り訂正符号化回路（ECC回路）、5……3ビット単位変換回路、6……システム制御信号付加回路、7……記録エッジ位置計算回路、7A……立上がりエッジ位置計算回路、7B……立下がりエッジ位置計算回路、8……記録時補正回路、8A……立上がりエッジ位置補正回路、8B……立下がりエッジ位置補正回路、9……エッジ変調回路、10……アンプ、11……アナログデジタル変換回路（A/D変換回路）、12……バイアス除去回路、13……自動利得制御回路（AGC回路）、14……再生時逆補正回路、14A……立上がりエッジ位置逆補正回路、14B……立下がりエッジ位置逆補正回路、15……データ読出し回路、15A、15B……3ビット単位変換回路、16……8ビット単位変換回路、18A……立上がりラッチ回路、18B……立下がりラッチ回路。

*

【図2】

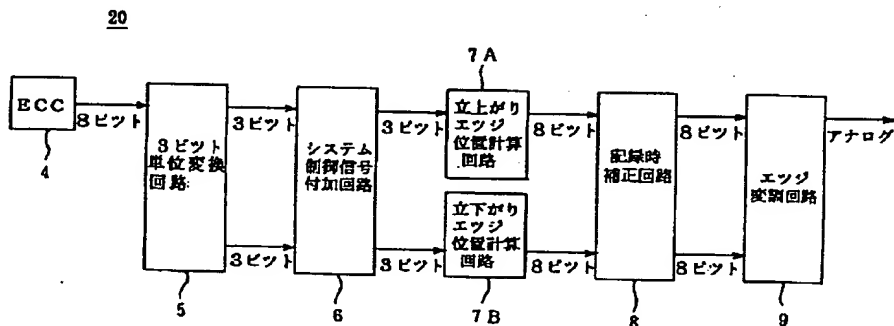


図2 第1実施例のエンコーダの構成

【図 1】

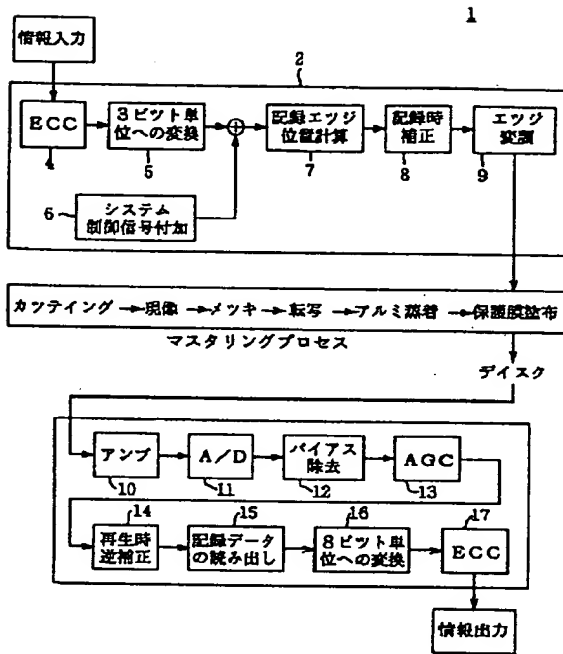


図 1 全体構成

【図 3】

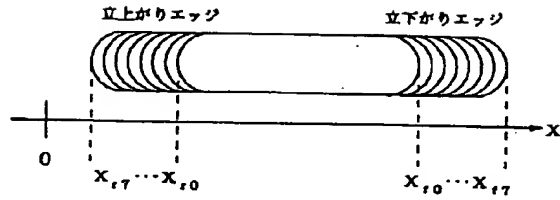


図 3 ビットの空間的な座標

【図 7】

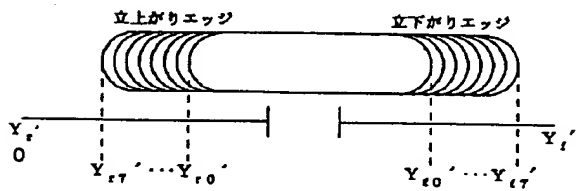


図 7 逆補正時のビットの空間的な座標

【図 4】

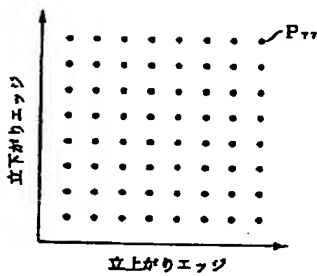


図 4 補正前の各ビットの位置関係

【図 5】

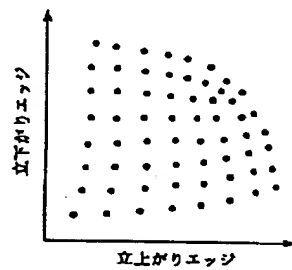


図 5 補正後の各ビットの位置関係

【図 9】



図 9 入力データ X 及び出力データ Y

【図 10】

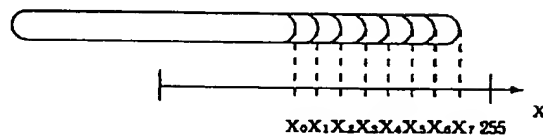


図 10 ピッチの立下がりエッジの位置

【図 6】

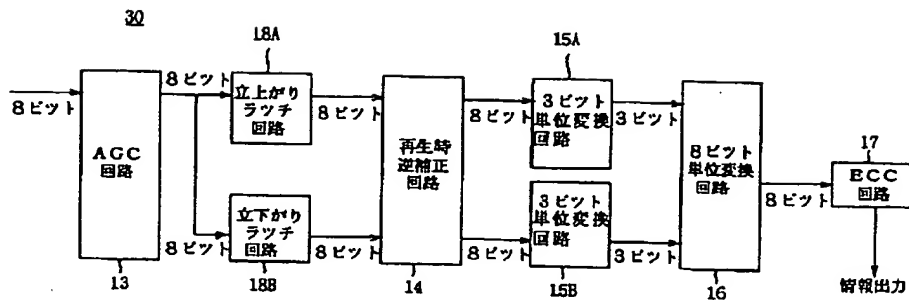


図 6 第 1 実施例のデコーダの構成

【図 8】

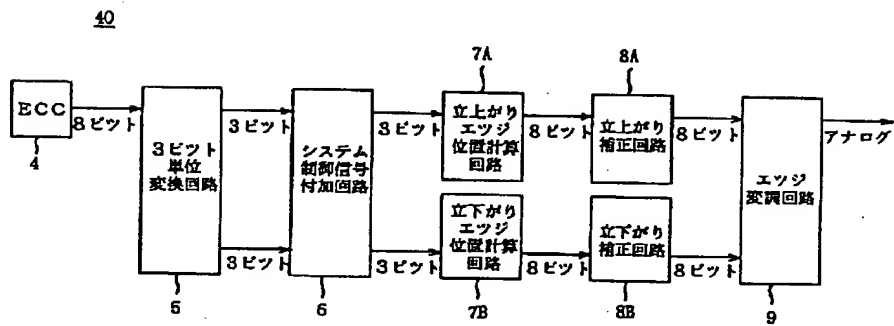


図 8 第 2 実施例のエンコーダの構成

【図 11】

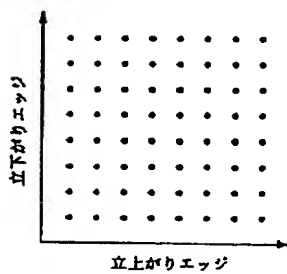


図 11 補正前の各ビットの位置関係

【図 12】

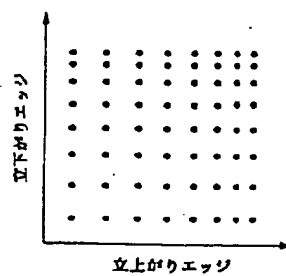


図 12 補正後の各ビットの位置関係

【図 13】

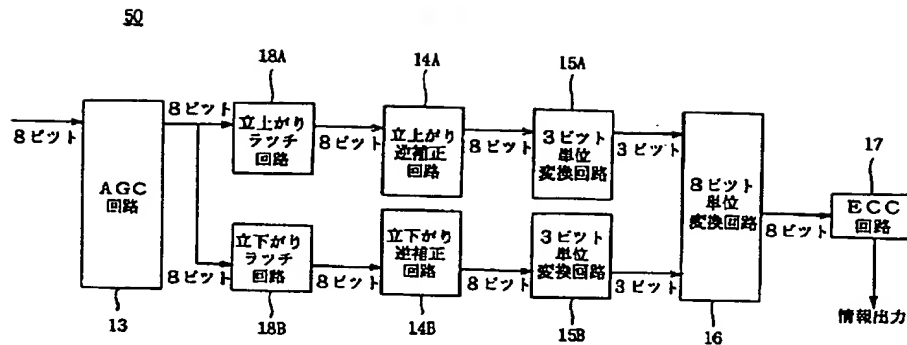


図 13 第2実施例のデコーダ

【手続補正書】

【提出日】平成 6 年 9 月 6 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録するデジタルデータ記録方法において、上記デジタルデータを、変調すべき上記刻み数を表すビット数に変換し、当該刻み数に応じたビット数で表されるデジタルデータを、上記変調されて上記立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置に割り当て、上記立上がりエッジ及び又は上記立下がりエッジに生成された上記各エッジ位置間の刻み幅を補正することを特徴とするデジタルデータ記録方法。

【請求項 2】上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅は、上記立上がりエッジ及び又は立下がりエッジの上記各エッジ位置によって規定されるビットの長さが短くなるに従って大きくなるように非線形的に補正されることを特徴とする請求項 1 に記載のデジタルデータ記録方法。

【請求項 3】上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅は、上記各エッジ位置が生成された上記立上がりエッジ及び又は立下がりエッジにおいて、上記各エッジ位置が生成された上記立上がりエッジ及び又は立下がりエッジの各エッジ

位置よつて規定されるビットの長さが短くなるに従って大きくなるように非線形的に補正されることを特徴とする請求項 1 に記載のデジタルデータ記録方法。

【請求項 4】上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅は、上記各エッジ位置のうち最長ビット及び最短ビットを規定するエッジ位置間の長さ及び位置を変えずに補正されることを特徴とする請求項 2 又は請求項 3 に記載のデジタルデータ記録方法。

【請求項 5】上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅は、2 次関数で補正されることを特徴とする請求項 2、請求項 3 又は請求項 4 に記載のデジタルデータ記録方法。

【請求項 6】ディスク状記録媒体に形成されたビットの立上がりエッジ及び又は立下がりエッジを所定の刻み幅及び刻み数で変調させてデジタルデータを記録するデジタルデータ記録装置において、上記デジタルデータを、変調すべき上記刻み数を表すビット数に変換するデータ変換手段と、当該刻み数に応じたビット数で表されるデジタルデータを、上記変調されて上記立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置に割り当てるエッジ位置計算手段と、上記立上がりエッジ及び又は上記立下がりエッジに生成された上記各エッジ位置間の刻み幅を補正する補正手段とを具えることを特徴とするデジタルデータ記録装置。

【請求項 7】上記補正手段は、上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅を、上記立上がりエッジ及び又は立下がりエッジ

の上記各エッジ位置によつて規定されるビットの長さが短くなるに従つて大きくなるように非線形的に補正することを特徴とする請求項 6 に記載のデジタルデータ記録装置。

【請求項 8】上記補正手段は、上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅を、上記各エッジ位置が生成された上記立上がりエッジ及び又は立下がりエッジにおいて、上記各エッジ位置が生成された上記立上がりエッジ及び又は立下がりエッジの各エッジ位置によつて規定されるビットの長さが大きくなるように非線形的に補正することを特徴とする請求項 6 に記載のデジタルデータ記録装置。

【請求項 9】上記補正手段は、上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅を、上記各エッジ位置のうち最長ビット及び最短ビットを規定するエッジ位置間の長さ及び位置を変えずに補正することを特徴とする請求項 7 又は請求項 8 に記載のデジタルデータ記録装置。

【請求項 10】上記補正手段は、上記立上がりエッジ及び又は立下がりエッジに生成された上記各エッジ位置間の刻み幅を 2 次関数で補正することを特徴とする請求項 7、請求項 8 又は請求項 9 に記載のデジタルデータ記録装置。

【請求項 11】所定の刻み幅及び刻み数で変調されたビットの立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅が補正されてデジタルデータが記録されたディスク状記録媒体を再生するデジタルデータ再生方法において、
記録時に補正された上記刻み幅を逆補正してから再生するようにしたことを特徴とするデジタルデータ再生方法。

【請求項 12】上記各エッジ位置間の刻み幅の補正が 2 次関数で補正されている場合には、2 次関数の特性に応じて逆補正するようにしたことを特徴とする請求項 11 に記載のデジタルデータ再生方法。

【請求項 13】所定の刻み幅及び刻み数で変調されたビットの立上がりエッジ及び又は立下がりエッジに生成された各エッジ位置間の刻み幅が補正されてデジタルデータが記録されたディスク状記録媒体を再生するデジタルデータ再生装置において、
記録時に補正された上記刻み幅を逆補正する逆補正手段を具えることを特徴とするデジタルデータ再生装置。

【請求項 14】上記各エッジ位置間の刻み幅の補正が 2 次関数で補正されている場合には、上記逆補正手段は上記 2 次関数の特性に応じて逆補正することを特徴とする請求項 13 に記載のデジタルデータ再生装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【発明が解決しようとする課題】ところでこのような記録方法でさらにディスクの記録密度を高めるためにはビットを小さく成形する必要がある。ところがマスタリング等のディスク製作行程では、ビットが小さいほど成形が困難になり、期待通りのビットが作れなくなる。すなわち、小さいビットほどジッタが大きくなる。また上述のような記録方式では、ビットのエッジ位置を変調しているため、ディスクに記録すべきビットの大きさは一様ではない。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】従つてディスクに記録する全ビットを一様に小さくしていくと、これらのビットのうちで比較的小さいビットはジッタが大きく、比較的大きいビットはジッタが小さいという現象が発生する。このような現象はディスク製作行程の限界に近い小さいビットを作ろうとした場合に起こる。従つて例えばビットの大きさを数字で表した場合、ビット 7 とビット 6 とを読み間違ふ確率と、ビット 1 とビット 0 とを読み間違ふ確率は必ずしも同じではない。すなわちビットが短い場合には誤り率が高く、ビットが長いほど誤り率は低いと考えられる。このような場合従来においては、読み誤る確率が最も高い部分がシステムに要求される誤り率より低くなるまで、記録密度を下げなければならなかった。すなわち高密度記録と低誤り率を両立することができないという問題があつた。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】(1) 全体構成

図 1 において、1 は全体として本発明によるデジタルデータ記録方法によりデジタルデータを記録して光磁気ディスクを製造し、当該光磁気ディスクを再生するまでの全体の系を示す全体構成を示す。エンコード部 2 は誤り訂正符号化回路 (error correcting code、ECC 回路) 4、3 ビット単位変換回路 5、システム制御信号付加回路 6、記録エッジ位置計算回路 7、記録時補正回路 8 及びエッジ変調回路 9 より構成されている。またデコード部 3 はアンプ 10、アナログデジタル変換器 (A/D 変換器) 11、バイアス除去回路 12、自動利得制御回路 (automatic gain control、AGC 回路) 13、再生時逆補正回路 14、データ読出し回路 15、8 ビット単位

変換回路 16 及び誤り訂正符号化回路 (ECC 回路) 1 *
7 より構成されている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】カッティングマシンではこのデータに基づいてディスクのマスタ盤にビットを成形し、図 1 に示すように現像、メッキ、転写、アルミニウム蒸着及び保護膜の塗布のマスタリングプロセスを経てディスクが製造される。

【手続補正 6】

【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正内容】

【図 5】

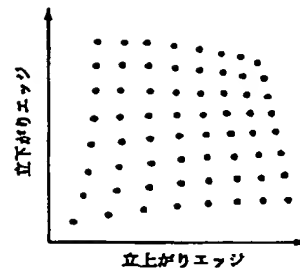


図 5 補正後の各ビットの位置関係

【手続補正 7】

【補正対象書類名】図面

【補正対象項目名】図 7

【補正方法】変更

【補正内容】

【図 7】

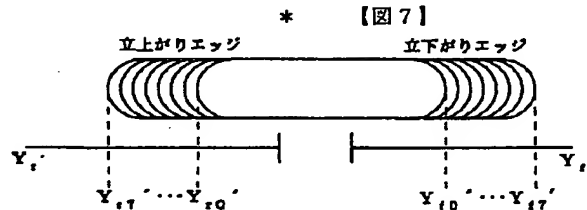


図 7 逆補正時のビットの空間的座標

【手続補正 8】

【補正対象書類名】図面

【補正対象項目名】図 10

【補正方法】変更

【補正内容】

【図 10】

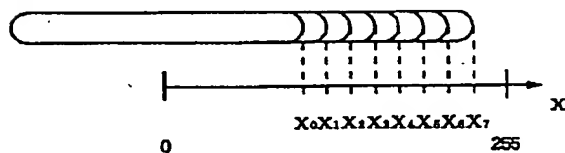


図 10 ビッチの立下がりエッジの位置